

Особенности разработки цифровой управляемой линии задержки фазового интерполятора для синтезатора синхросигналов микропроцессоров семейства Эльбрус

А.В. Мальшин¹, И.А. Есаков¹, Л.А. Портнова^{1,2}

¹ЗАО«МЦСТ»

²Московский физико-технический институт (государственный университет)

Синтезатор синхросигналов [1], разработанный для микропроцессоров семейства “Эльбрус”, позволяет из одного опорного сигнала генерировать нескольких рабочих синхросигналов с дробными значениями коэффициентов умножения частоты опорного сигнала и динамически изменять их величины без прерывания работы микропроцессора.

В данной работе детально рассмотрены особенности структуры и схемотехники узлов, определяющих частотный диапазон работы и точность синтезатора: управляемую линию задержки DLL, фазовый интерполятор и элементы узла формирователя выходного сигнала.

Разработанный синтезатор, блок-схема которого приведена на рис.1, является модификацией синтезаторов на основе DLL [2]. Принципиальным отличием предложенной схемы является возможность использования дробного значения коэффициента умножения частоты:

$$F_{out} = \left(\frac{N}{K} \right) * F_{ref} \quad (1)$$

В состав синтезатора входят следующие функциональные узлы:

- опорная DLL;
- фазовый интерполятор (PI);
- формирователь выходного сигнала (EC);
- цифровой алгоритмический генератор (DPG).

Разработанная опорная DLL является полнопериодной: задержка линии: T_{dll} в состоянии захвата петли регулирования равна одному периоду входного опорного синхросигнала $T_{ref} = 1/F_{ref}$. Принципиальной особенностью реализации управляемой линии задержки является тот факт, что в отличие от обычно используемых линий, управляемых аналоговым сигналом, задержка линии управляется цифровым кодом. Это, наряду с использованием схемы фазового детектора с двоичным выходом, позволило реализовать полностью цифровой контур DLL.

Максимальное количество секций линии и, соответственно, дискретность синтеза выходной частоты ограничиваются минимальной величиной задержки секции. Линия задержки обеспечивает на выходе $N_{ph_dl} = 16$ секций, равноотстоящих друг от друга на T_{dll} / N_{ph} . С целью увеличения общего числа фаз до $N_{ph} = 32$, между выходами смежных секций линии задержки дополнительно установлены фазовые интерполяторы.

Из полученных N_{ph} фаз в формирователе выходного сигнала последовательно производится генерация коротких импульсов (P), их выборка и сборка выбранных импульсов на тактовый вход T выходного делителя частоты на два, который выполняет переключение выходного сигнала F_{out} по каждой последующей выбранной фазе опорного сигнала.

Таким образом, на выходе схемы формируется сигнал со скважностью два и частотой F_{out} равной:

$$F_{out} = M * F_{ref} = \left(\frac{N_{ph}}{K} \right) * F_{ref} \quad (2)$$

Для формирования различных выходных частот разработан узел цифрового алгоритмического генератора. Генератор реализован таким образом, что в каждом такте входного сигнала генерирует очередной 32-х разрядный управляющий код $C[1:32]$ в соответствии с требуемой в данный момент времени величиной коэффициента K (2). Изменение частоты выходного сигнала «на лету» производится путем программного изменения коэффициента K . При этом, с целью обеспечения непрерывности и целостности сигнала на выходе при изменении частоты, новая последовательность управляющих кодов фактически начинает генерироваться алгоритмическим генератором в момент биения сигналов опорной и текущей выходной частот.

Разработанный синтезатор обладает следующими функциональными, электрическими и эксплуатационными параметрами:

- Диапазон частоты опорного синхросигнала от 0.8 ГГц до 1.4 ГГц;
- Скважность опорного синхросигнала от 25% до 75%;
- Количество независимых каналов выходных синхросигналов — 4;
- Диапазон частоты в каждом выходном канале $F_{out}=F_{ref}*(32/N)$ где $N=16,18,20, \dots,64$;
- Номинальная скважность выходных синхросигналов 50%;
- Погрешность периода выходных синхросигналов +/-10пс;
- Диапазон напряжения питания 0.9В +/- 10%;
- Диапазон температуры кристалла от -40С до 125С;
- Занимаемая площадь: 127мкм*132мкм;
- Потребляемая мощность ток (при $F_{ref}=1ГГц$): 17мВт.

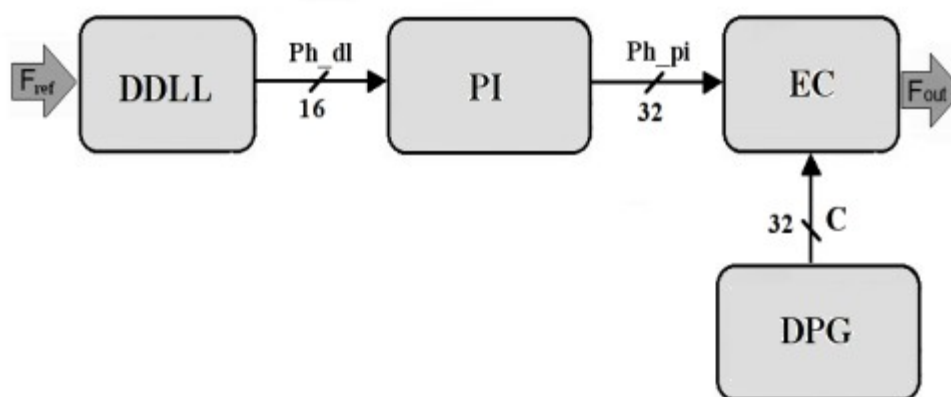


Рис.1. Структурная схема синтезатора синхросигнала для процессоров семейства «Эльбрус»

Литература:

1. Chandracasan A., Bowhill William J., Fox F. Design of high-performance microprocessor circuits. New York: The Institute of Electrical and Electronics Engineers, 2001.
2. Bruno, Garlepp W., Kevin S. Donnelly A portable digital DLL for High-speed CMOS interface circuits. New York: IEEE Journal of solid-state circuits, vol.34, NO.5, December, 1999.