

Разработка контроллера высокоскоростного канала обмена

М.А. Абакаров^{1,2}

¹Московский физико-технический институт (государственный университет)

²АО МЦСТ

Объединение нескольких вычислительных модулей в единый кластер, позволяет значительно повысить производительность системы, путем разделения задач на параллельные потоки, каждый из которых выполняется отдельным вычислительным модулем. Суммарная производительность такой системы зависит не только от производительности отдельных узлов, но и от производительности коммуникационной среды между этими узлами. Основными характеристиками быстродействия сети являются латентность и пропускная способность.

В данной работе рассмотрена разработка контроллера высокоскоростной передачи данных между двумя вычислительными узлами. Для надежной передачи данных и установления соединения использовались: пакетная передача, механизмы контроля целостности данных, самосинхронизирующийся код, автоматическое определение сбоев и запуск процедуры восстановления соединения.

По функциональности контроллер можно разделить на канальный уровень (Data Link Layer) и физический уровень (Physical Layer).

Контроллер канального уровня взаимодействует с системным уровнем посредством транзакций, обеспечивая сервис по надежному высокоскоростному обмену с системным уровнем внешнего абонента. Транзакции являются составляющими элементами системных операций, таких как чтение и запись, и передаются пакетами. Прием/передача пакетов транзакций осуществляется в автоматическом режиме: то есть, для организации обмена не требуются обращения к внутренним регистрам. Доступ к внутренним регистрам контроллера используется только для задания режима работы, обработки прерываний и контроля состояния соединения.

Для обеспечения контроля целостности данных при передаче, используется механизм нумерации пакетов транзакций в последовательности и CRC - кодирование. В каждом пакете передается 16-ти разрядный CRC - код, вычисляемый согласно стандартному полиному

$$G(x) = x^{16} + x^{12} + x^5 + 1$$

Полином степени 16 обеспечивает вероятность не обнаружения ошибки $1/2^{16} \approx 15,25 * 10^{-6}$

Вычисление CRC16 производится параллельно. Схема вычисления CRC содержит блок комбинаторной логики, а также 16-ти разрядный регистр для хранения промежуточных значений.

На физическом уровне данные передаются по дифференциальной паре. Это позволяет исключить влияние внешних помех, так как электромагнитная помеха вносит одинаковые искажения на обоих проводниках пары, а приемник учитывает разность сигналов.

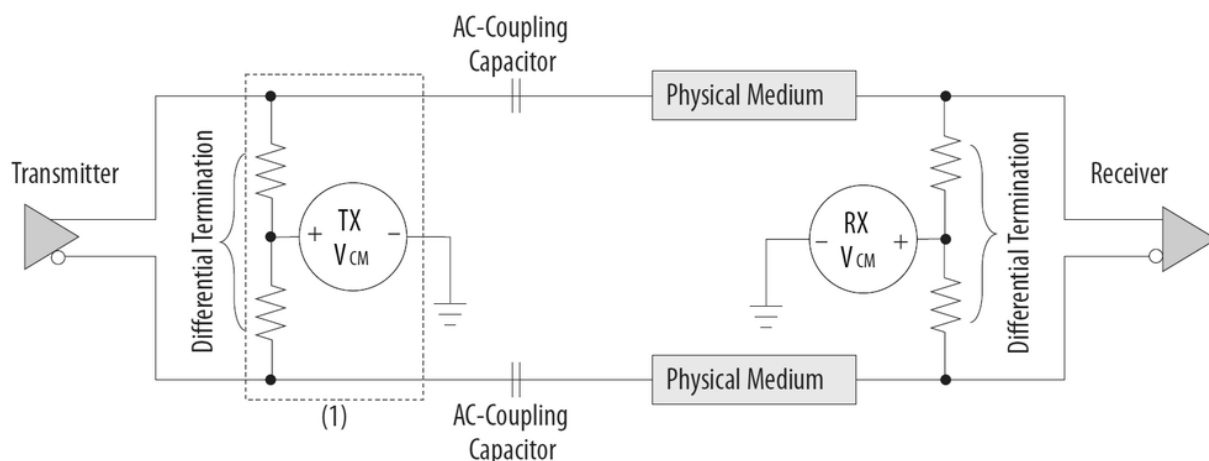


Рис. 1. Схема дифференциальной пары между передатчиком и приемником.

На линиях дифференциальной пары используются разделительные конденсаторы (AC-Coupling Capacitor), поэтому необходимо обеспечить отсутствие постоянной составляющей сигнала. С этой задачей справляется 8/10 кодирование, когда байты заменяются 10 битными кодами, дающими 1024 возможных комбинации из которых выбирается 256 с ограниченным количеством нулей и единиц. При кодировании 8/10 число подряд идущих нулей или единиц не будет превышать пяти, а разность общего числа нулей и единиц в последовательности из 20 бит не будет превышать двух.

Для удвоения скорости передачи (Double data rate), данные передаются по положительному и отрицательному перепаду сигнала синхронизации. Используя блок ФАПЧ (фазовой автоподстройки частоты) на приемнике, можно восстановить частоту и фазу синхросигнала по перепадам сигнала последовательных данных.

В результате работы с помощью вышеперечисленных методов удалось реализовать контроллер обладающий низкими временными задержками и высокой пропускной способностью 5 Гбит/с.

Литература

1. Stauffer, D.R., Mechler, J.T., Sorna, M.A. High Speed Serdes Devices and Applications // Springer. 2009. P. 490.