

Реализация БИС считывания с цифровым режимом временной задержки накопления

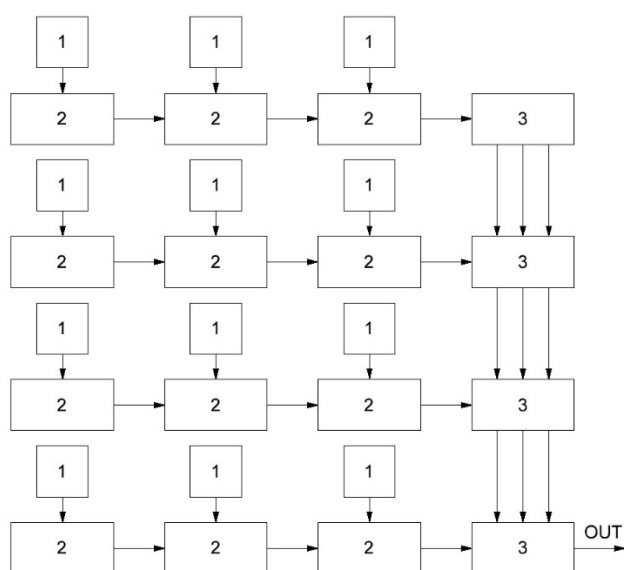
Н.А.Ларионов^{1,2}, И.С.Мощев^{1,2}

¹НИУ «МЭИ»

²АО «НПО «Орион»

В работе [1] рассматривается возможность реализации БИС считывания с цифровым режимом ВЗН. Основным преимуществом цифрового ВЗН над аналоговым является отсутствие резкой (квадратичная) зависимости площади суммирующих емкостей от количества каскадов ВЗН; зависимость выходного ВЗН-сигнала от разбросов суммирующих емкостей и пороговых напряжений МОП транзисторов; дополнительные шумы, вносимые ВЗН-каскадами (особенно в низкофонных применениях); влияние эффективности переноса заряда ВЗН-регистров; повышенные напряжения питания (до 5—6 В); недостаточно высокая зарядовая емкость ВЗН каскадов и т. д. Так же в работе отмечено отсутствие достижений в данной области широко применяемых на практике

Основной задачей представленной работы является демонстрация схемотехнической реализации цифрового режима ВЗН. В качестве архитектуры был выбран алгоритм ВЗН на двоичных счетчиках (рисунок 1). При поступлении разрешающего сигнала с накопительной ячейки счетчик начинает считать затем после окончания времени интегрирования (задается входным импульсом) счетчик переходит в режим, сдвигового регистра, который переносит полученной значение далее по каскаду за n-тактов, так продолжается до тех пор, пока суммарный сигнал со всех ячеек в строке не дойдет до выходного регистра.



1 – накопительная ячейка с однобитным преобразователем сигнала типа фототок-временной интервал;

2 – n-разрядный переключаемый двоичный счетчик – сдвиговый регистр;

3 – выходной регистр с последовательным вводом, параллельным выводом;

Рисунок 1. Структурная схема канала БИС считывания

На основе вышеизложенного была реализована принципиальная электрическая схема состоящего из последовательно подключенных ячеек, представленных на рисунке 2. Схема имеет два состояния: при комбинации сигналов $STE=1$, $LE=0$ схема работает как счетная ячейка; при $STE=1$, $LE=1$ как обычный D-триггер. Соответственно последовательность из данных ячеек работает либо как n разрядный двоичный счетчик, либо как сдвиговый регистр.

В [1] предлагается использовать D-триггеры с минимальным количеством транзисторов, а так же LSFR счетчик. Однако такой способ имеет ряд недостатков: в частности сильная зависимость работы D-триггера от паразитных емкостей, которые в свою очередь имеют большой

технологический разброс, сильная зависимость параметров от рабочей температуры, а LFSR счетчик считает в псевдослучайной последовательности, что не всегда удобно.

Поэтому предлагается использовать стандартные библиотечные D-триггеры и обычный двоичный счетчик.

Для питания схемы предполагается использовать напряжение 3.3 В для минимизации площади канала занимаемой на топологии предлагается использовать переход уровня с 3.3 В на 1.8 В, т.к. технология с питанием 1.8 В типологически меньше на 25%.

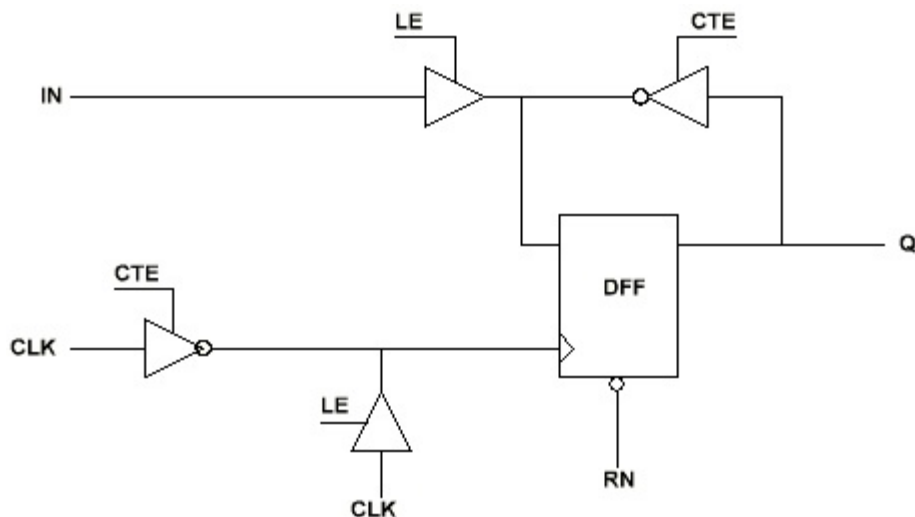


Рисунок 2. Ячейка с двумя состояниями

Литература

1. *П.А.Кузнецов, И.С.Моцев* Сравнительный анализ БИС считывания с цифровым режимом временной задержки накопления для ФПУ ИК-диапазона - Прикладная физика №1, 2015, том 3, 76 с.