

**Особенности построения высокоскоростного АЦП совмещенного
интерполирующего и сложенного сигнала.**

Р.С. Михеев^{1,2} Л.А. Антюфриева^{1,2} А.А Журавлев^{1,3} В.И. Эннс¹

¹Научно-исследовательский институт молекулярной электроники

²Московский физико-технический институт (государственный университет)

³Московский государственный институт электронной техники (национальный
исследовательский университет)

Высокоскоростные аналого-цифровые преобразователи являются ключевыми элементами в системах широкополосного приема радиосигналов, в антенных системах базовых станций, в антенных решетках РЛС. Основные требования, предъявляемые такими системами, являются высокие (от 250МГц) частота дискретизации АЦП и полоса пропускания сигнала.

АЦП параллельного преобразования удовлетворяет поставленным требованиям только при низком разрешении (до 6 бит). Это связано с основным недостатком такой архитектуры: увеличение разрешения сопровождается экспоненциальным ростом занимаемой площади активных элементов, что вызывает падение производительности преобразователя. Поэтому для разработки АЦП параллельного типа разрешением до 12 бит необходима модификация архитектуры. Для этой цели использованы две техники: сложение сигнала и интерполяция. Сложение происходит благодаря строению аналогового предусилителя и позволяет многократно (прямо пропорционально степени сложения сигнала) сократить количество компараторов. Интерполяция сокращает количество предусилителей за счет генерации промежуточных опорных значений между выходами предусилителей. При этом уменьшается не только площадь кристалла, но и потребляемая мощность.

Целью данной работы является анализ архитектуры АЦП совмещенного интерполирующего и сложенного сигнала по нескольким ключевым параметрам: частота дискретизации и полоса пропускания. В процессе работы построены поведенческие модели основных функциональных блоков. На основе этих данных была построена транзисторная реализация АЦП на базе технологии КМОП 180нм Микрон.

Литература

1. *R. Jacob Baker*. CMOS Circuit Design, Layout, and Simulation. 3rd ed. IEEE Press 2010, 1173pp.
2. *Yunchu Li*. Design of high speed folding and interpolating analog-to-digital converter. May 2003
3. *Robert C. Taft, Chris A. Menkus, Maria Rosaria Tursi, Ols Hidri, Valerie Pons*. A 1.8 V 1.0 GS/s 10b Self-Calibrating Unified-Folding-Interpolating ADC With 9.1 ENOB at Nyquist Frequency. // IEEE journal of solid-state circuits, VOL. 39, NO. 12, DECEMBER 2004
4. *R.C. Taft, C.A. Menkus, M.R. Tursi, O. Hidri, V. Pons*. A 1.8-V 1.6-GSample/s 8-b self-calibrating folding ADC with 7.26 ENOB at Nyquist frequency. // IEEE Journal of Solid-State Circuits Vol. 39, NO. 12, Dec. 2004