

Формирование электрической изоляции Tri-gate транзистора

В.А. Нагнойный, Г.В. Баранов

Московский физико-технический институт (государственный университет)
АО «Научно-исследовательский институт молекулярной электроники»

Одним из главных преимуществ Tri-gate транзистора является контроль тока, что достигается за счет трехмерной структуры затвора [1]. Однако существует проблема утечки тока через объем подложки, что приводит к необходимости формирования электрической изоляции плавника транзистора от подложки. В полупроводниковом производстве используется два метода электрической изоляции активной части транзистора. Первый метод заключается в применении КНИ подложки [2], где слой диэлектрика обеспечивает электрическую изоляцию приборного слоя. Второй метод состоит в формировании области обратной проводимости нижней части плавника методом ионной имплантации [1]. Обе методики имеют свои недостатки, к коим относится высокая стоимость КНИ-пластин и усложнение технологического процесса.

В данной работе предложены два способа формирования электрической изоляции Tri-gate транзистора. Первый состоит в вытравливании полостей, находящихся под активной областью плавника, с дальнейшим заполнением их изолирующим материалом. На рис. 1(а) представлено схематическое изображение конструкции Tri-gate транзистора с указанным способом электрической изоляции. Второй способ формирования изолирующего слоя заключается в локальном окислении основания плавника в соответствии с рис. 1(б)

В данной работе разработан технологический маршрут формирования электрической изоляции для каждой из предложенных методик.

Следует также отметить, что указанные методики изоляции имеют ряд преимуществ. Во-первых, такие структуры характеризуются повышенной радиационной стойкостью. Во-вторых, за счет отсутствия сплошного изолирующего слоя подложки (как в случае КНИ) отсутствует проблема отвода тепла.

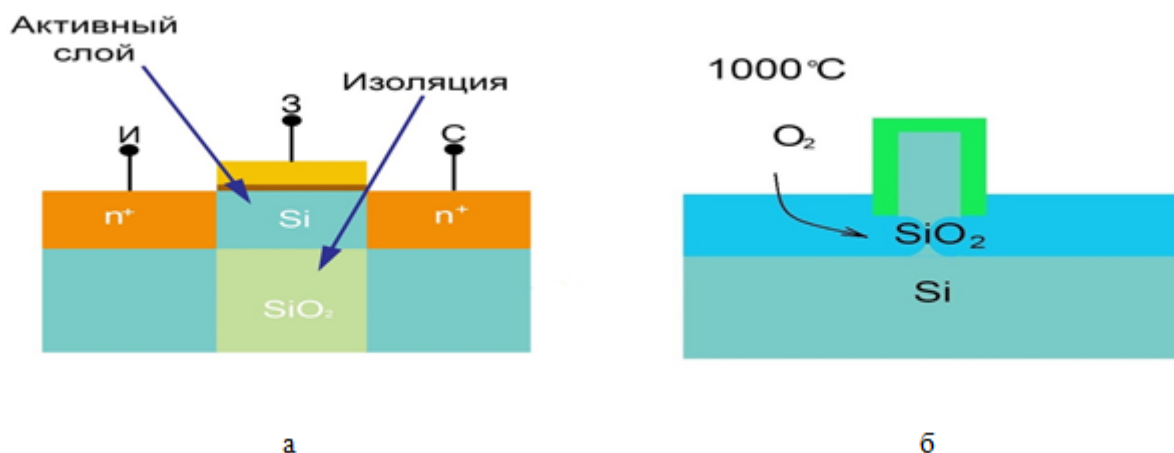


Рис. 1. Конструкция FinFET с изолированной активной областью. а – метод вытравливания, б – метод окисления

Литература

1. D. Fried et al. Comparison study of FinFETs: SOI vs. Bulk // SOI Industry Consortium. – 18 April, 2013. – 19p.
2. Красников Г.Я., Лукасевич М.И., Сулимин А.Д. СТРУКТУРА - КРЕМНИЙ НА ИЗОЛЯТОРЕ ДЛЯ СБИС (ВАРИАНТЫ). Патент на изобретение RUS 2149482. Номер заявки: 98123896/28. Дата регистрации: 30.12.1998. Опубликовано: 20.05.2000. МПК: H01L27/12